

CLIPPEDIMAGE= JP406333937A  
PAT-NO: JP406333937A  
DOCUMENT-IDENTIFIER: JP 06333937 A  
TITLE: BIPOLAR TRANSISTOR

PUBN-DATE: December 2, 1994

INVENTOR-INFORMATION:  
NAME  
SHIMAWAKI, HIDENORI

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY
N/A

APPL-NO: JP05118020  
APPL-DATE: May 20, 1993

INT-CL (IPC): H01L021/331; H01L029/73 ; H01L029/205  
US-CL-CURRENT: 257/197

ABSTRACT:

PURPOSE: To provide a compound semiconductor bipolar transistor which is reduced in base resistance and base running time and remarkably improved in high-frequency characteristics.

CONSTITUTION: In the transistor provided with an emitter layer 7 composed of AlGaAs and collector layer 3 composed of GaAs, a base contact layer 12 (or external base layer) is formed by regrowth and, at the same time, a base layer 5 electrically connected to the layer 12 is composed of a InGaAs graded layer in which the In content is gradually increased as going toward its base-collector junction from its emitter-base junction. Therefore, an inclined base structure can be formed while a regrowth boundary having an excellent electrical contact is maintained between the layers 5 and 12 (or between the

intrinsic base layer and external base layer), because no Al oxide compound is formed on the regrowth boundary.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-333937

(43)公開日 平成6年(1994)12月2日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

29/205

H 0 1 L 29/ 72

審査請求 有 請求項の数2 O L (全 8 頁)

(21)出願番号 特願平5-118020

(22)出願日 平成5年(1993)5月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 嶋脇 秀徳

東京都港区芝五丁目7番1号 日本電気株式会社内

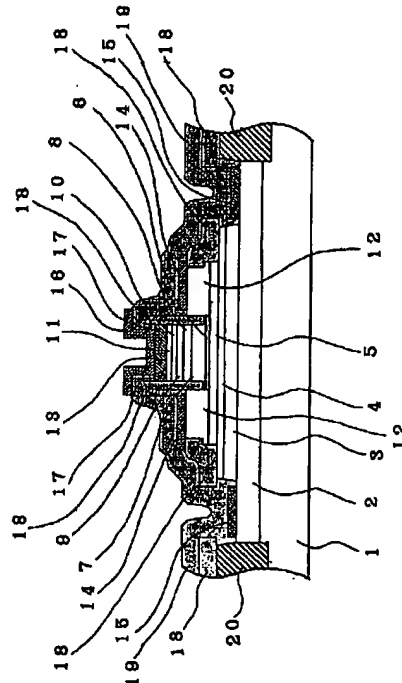
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 バイポーラトランジスタ

(57)【要約】

【目的】 ベース抵抗が低減されるとともにベース走行時間が短縮され、高周波特性の著しく向上された化合物半導体のバイポーラトランジスタを提供する。

【構成】 AlGaAsからなるエミッタ層7およびGaAsからなるコレクタ層3を有するバイポーラトランジスタにおいて、ベースコンタクト層12(もしくは外部ベース層)が再成長により形成されるとともに、これと電氣的に接続されるベース層5が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。これにより、ベース層5とベースコンタクト層12の間(もしくは真性ベース層と外部ベース層の間)の再成長界面にAl酸化物が形成されないため、電氣的接触の良好な再成長界面を保持しつつ傾斜ベース構造を形成することができる。



## 【特許請求の範囲】

【請求項1】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、ベース電極とベース層間の少なくとも一部に再成長により形成されたベースコンタクト層を有するとともに、ベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

【請求項2】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はバイポーラトランジスタ、特に化合物半導体を用いたヘテロ接合バイポーラトランジスタに関する。

## 【0002】

【従来の技術】バイポーラトランジスタは電界効果トランジスタに比べて電流駆動能力が大きいという優れた特徴を有している。このため、近年、SiのみならずGaAsなどの化合物半導体を用いたバイポーラトランジスタの研究開発が盛んに行われている。特に、化合物半導体を用いたバイポーラトランジスタは、エミッタ・ベース接合をヘテロ接合に構成でき、ベースを高濃度にしてもエミッタ注入効率を大きく保てるなど利点は多く、単体素子の高速化検討および各種回路への応用が積極的に進められている。

【0003】このようなヘテロ接合バイポーラトランジスタ(HBT)を用いた単体素子あるいは応用回路の高性能化をはかる上で、ベース抵抗の低減とベース走行時間の短縮は重要なポイントである。

【0004】ベース抵抗を低減するためには電極部におけるコンタクト抵抗を低減するのが効果的である。そのため、選択再成長により外部ベース領域に高濃度のカーボンドープ層を形成する方法が、特開平4-83345号公報、特開平4-83346号公報、あるいは嶋脇他、電子情報通信学会技術研究報告、92巻、417号、23頁、1993年に記載されている。

【0005】図7は上述の電子情報通信学会技術研究報告に記載されているバイポーラトランジスタの模式的断面図である。この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタコンタ

クト層( $3 \times 10^{18} \text{ cm}^{-3}$ , 500nm)2と、n-GaAsからなるコレクタ層( $5 \times 10^{16} \text{ cm}^{-3}$ , 400nm)3aと、p-GaAsからなる真性ベース層( $4 \times 10^{19} \text{ cm}^{-3}$ , 80nm)5bと、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$  ( $x: 0 \rightarrow 0.25$ ) からなるエミッタグレーデッド層( $3 \times 10^{17} \text{ cm}^{-3}$ , 20nm)6と、 $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$  からなるエミッタ層( $3 \times 10^{17} \text{ cm}^{-3}$ , 150nm)7と、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$  ( $x: 0.25 \rightarrow 0$ ) からなるグレーデッド層( $3 \times 10^{17} \rightarrow 6 \times 10^{18} \text{ cm}^{-3}$ , 50nm)8と、n-GaAs層( $6 \times 10^{18} \text{ cm}^{-3}$ , 80nm)9と、 $n\text{-In}_x\text{Ga}_{1-x}\text{As}$  ( $x: 0 \rightarrow 0.5$ ) からなるグレーデッド層( $2 \times 10^{19} \text{ cm}^{-3}$ , 50nm)10と、 $n\text{-In}_{0.5}\text{Ga}_{0.5}\text{As}$  からなるエミッタコンタクト層( $2 \times 10^{19} \text{ cm}^{-3}$ , 50nm)11と、p-GaAsからなる外部ベース層( $4 \times 10^{20} \text{ cm}^{-3}$ )12aと、WSiからなるエミッタ電極13と、Ti/Pt/Auからなるベース電極14と、AuGeNi/Auからなるコレクタ電極15と、Ti/Pt/Auからなるエミッタ取り出し電極16と、SiO<sub>2</sub>膜17、18および19と、絶縁領域20とにより構成されている。

【0006】図7において、p-GaAs層12aは有機金属分子線エピタキシー法(以降、MOMBE法と称する)を用いた選択成長により形成され、p型不純物であるC(カーボン)が高濃度にドーピングされている。また、真性ベース層4は均一ベース構造となっている。

【0007】一方、外部ベース領域の形成に上述のような再成長を用いないAlGaAs/GaAs HBTにおいて、ベース走行時間を短縮するための一般的な方法として、ベース・コレクタ接合部からベース・エミッタ接合部に向けてAl組成を次第に増加させたp-AlGaAsグレーデッド層をベース層に用い、傾斜ベース構造を形成する方法が用いられている。この構造においてはベース層を走行する少数キャリアである電子が擬電界により加速されるため、拡散によりベース層内を走行する均一ベース構造に比較して、ベース走行時間の短縮や電流利得の向上といった効果を得ることができる。

## 【0008】

【発明が解決しようとする課題】上述の再成長により外部ベース領域が形成されるHBTにおいて効果的にベース抵抗を低減するためには、真性ベース層5bと外部ベース層12aの間の再成長界面にAl酸化物が形成されるのを防止することが重要である。それゆえ、素子真性部にはGaAsからなる均一ベース構造を採用することが望ましく、AlGaAsグレーデッド層を用いた傾斜ベース構造は好ましくない。従って、従来、再成長を用いてベース抵抗を低減すると同時にベース走行時間を十分に短縮することは困難であった。

【0009】本発明の目的は、このような問題点を解決し、ベース抵抗が低減されるとともにベース走行時間が

短縮され、高周波特性の著しく向上された化合物半導体のHBTを提供することにある。

#### 【0010】

【課題を解決するための手段】本発明は、エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、ベース電極とベース層間の少なくとも一部に再成長により形成されたベースコンタクト層を有するとともに、ベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。

【0011】また本発明は、エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。

#### 【0012】

【作用】p-AlGaAsグレーデッド層の代わりにp-InGaAsグレーデッド層を用いることにより、傾斜ベース構造を形成することができる。例えば、In<sub>0.1</sub>Ga<sub>0.9</sub>Asの禁制帯幅はGaAsに比べて0.156eV小さいことから、ベース・コレクタ接合部からエミッタ・ベース接合部に向かってIn組成を0.1から0まで徐々に変化させた厚さ40nmのp-InGaAsグレーデッド層をベース層に用いた場合、伝導帯側に約40keVの擬電界を有する傾斜ベース構造を形成することが可能である。これにより、少数キャリアである電子のベース走行時間を短縮させることができる。また、この場合、ベース層にAlを含んでいないことから、外部ベース領域を再成長により形成する際、再成長界面にAl酸化物が形成されるのを防止することができ、電氣的接触の良好な再成長界面を形成することができる。

【0013】すなわち、InGaAsグレーデッド層を真性部のベース層に用い、再成長によって高濃度に不純物ドーパされた半導体層を外部ベース層もしくはベースコンタクト層として形成することにより、ベース抵抗の低減とベース走行時間の短縮を同時に達成することが可能である。

【0014】なお、エミッタをAlGaAs、コレクタをGaAsとした場合、InGaAsベース層は格子不整合となる。しかしながら、ベース層に含有されるIn組成とベース層厚の關係に配慮することにより、ミスフィット転位等の格子欠陥の発生を抑制することが可能である。

【0015】また、コレクタをGaAsとした場合には、ベース・コレクタ接合部においてInGaAsベース層との間にエネルギー障壁を生じることになる。このエネルギー障壁が存在するとキャリアの流れが阻害され、素子特性上好ましくない。しかしながら、ベース・コレクタ接合部においてコレクタ層側にベース層とは逆に基板方向に向けてIn組成を徐々に減少させたInGaAsグレーデッド層を設けることにより、このエネルギー障壁をなくすることができる。

#### 【0016】

【実施例】以下に、本発明の実施例について図面を用いて説明する。

【0017】図1は本発明の第1の実施例を説明するために示した半導体チップの断面図である。この半導体チップは、GaAsからなる半絶縁性基板1と、n-GaAsからなるコレクタコンタクト層(3×10<sup>18</sup>cm<sup>-3</sup>, 400nm)2と、n-GaAsからなる第1のコレクタ層(5×10<sup>16</sup>cm<sup>-3</sup>, 460nm)3と、n-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.1)グレーデッドからなる第2のコレクタ層(5×10<sup>16</sup>cm<sup>-3</sup>, 40nm)4と、p-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0.1→0)グレーデッド層からなるベース層(6×10<sup>19</sup>cm<sup>-3</sup>, 40nm)5と、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.25)からなるエミッタグレーデッド層(3×10<sup>17</sup>cm<sup>-3</sup>, 20nm)6と、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>Asからなるエミッタ層(3×10<sup>17</sup>cm<sup>-3</sup>, 150nm)7と、n-Al<sub>x</sub>Ga<sub>1-x</sub>As(x:0.25→0)からなるグレーデッド層(3×10<sup>17</sup>→6×10<sup>18</sup>cm<sup>-3</sup>, 50nm)8と、n-GaAs層(6×10<sup>18</sup>cm<sup>-3</sup>, 120nm)9と、n-In<sub>x</sub>Ga<sub>1-x</sub>As(x:0→0.5)からなるグレーデッド層(2×10<sup>19</sup>cm<sup>-3</sup>, 50nm)10と、n-In<sub>0.5</sub>Ga<sub>0.5</sub>Asからなるエミッタコンタクト層(2×10<sup>19</sup>cm<sup>-3</sup>, 50nm)11と、p-GaAsからなるベースコンタクト層(4×10<sup>20</sup>cm<sup>-3</sup>, 300nm)12と、WSiからなるエミッタ電極13と、Ti/Pt/Auからなるベース電極14と、AuGeNi/Auからなるコレクタ電極15と、Ti/Pt/Auからなるエミッタ取り出し電極16と、SiO<sub>2</sub>膜17, 18および19と、絶縁領域20とにより構成されている。

【0018】図1において、p-GaAs層12はMO-MBE法を用いた選択成長により形成され、p型不純物であるCが高濃度にドーピングされている。また、ベース層5をInGaAsグレーデッド層により形成することによって、ベース層5とベースコンタクト層12の間の再成長界面にAl酸化物を含むことなく、傾斜ベース構造を形成している点が重要なポイントである。

【0019】以下に、上述のバイポーラトランジスタの製造方法について図面を用いて説明する。

【0020】図2～図5は工程順に示した半導体チップ

の断面図である。

【0021】まず、図2に示すように、GaAsからなる半絶縁性基板1上にn-GaAs層2および3、n-In<sub>x</sub>Ga<sub>1-x</sub>As (x: 0→0.1) グレーデッド層4、p-In<sub>x</sub>Ga<sub>1-x</sub>As (x: 0.1→0) グレーデッド層5、n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x: 0→0.25) グレーデッド層6、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>As (x: 0.25→0) グレーデッド層8、n-GaAs層9、n-In<sub>x</sub>Ga<sub>1-x</sub>As (x: 0→0.5) グレーデッド層10、およびn-In<sub>0.5</sub>Ga<sub>0.5</sub>As層11を順次、分子線エビタキシー法(以降、MBE法と称する)により形成する。この際、n型不純物としてSi、p型不純物としてBeを用いた。

【0022】次に、図3に示すように、全面にWSi層13およびSiO<sub>2</sub>層17を堆積した後、所定のパターンのホトレジスト膜21をマスクとしてSiO<sub>2</sub>膜17およびWSi層13を反応性イオンエッチングにより、また、n-In<sub>0.5</sub>Ga<sub>0.5</sub>As層11、n-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層10、n-GaAs層9、n-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層8、およびn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7の途中までを反応性イオンビームエッチングによりエッチングしてエミッタメサを形成する。

【0023】次に、図4に示すように、ホトレジスト膜21を除去した後、所定のパターンのホトレジスト膜(図示しない)をマスクとして、素子真性領域およびベース電極形成のために必要な領域を除く他の領域のn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層6およびp-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層5を順次、ウエットエッチングにより除去する。続いて、前記ホトレジスト膜を除去した後、全面にSiO<sub>2</sub>膜18を堆積する。さらに、所定のパターンのホトレジスト膜23を形成した後、これをマスクとして反応性イオンエッチングによりSiO<sub>2</sub>膜18を除去することにより、外部ベース領域を開口すると同時にエミッタメサ側面にSiO<sub>2</sub>膜18からなる側壁を形成する。

【0024】次に、図5に示すように、ホトレジスト膜23を除去した後、開口された領域のn-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7、n-Al<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層6をウエットエッチングにより順次、除去してp-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層5表面を露出させるとともに、エミッタメサ端にAlGaAsからなるヘテロガイドリングを形成する。続いて、MOMBE法により開口部のp-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層5の上にp-GaAs層12を選択成長してベースコンタクト層を形成する。なお、この際、成長原料にはTMG(トリメチルガリウム)および固体Asを用い、成長温度450℃で行った。さらに、素子間分離のためのH<sup>+</sup>イオン注入を行って絶縁領域20を形成した後、所定のパター

ンのホトレジスト膜24(図示しない)を用いてTi/Pt/Auからなるベース電極14をリフトオフにより形成する。

【0025】次に、所定のパターンのホトレジスト膜(図示しない)をマスクとしてSiO<sub>2</sub>膜18、n-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層4およびn-GaAs層3を順次ウエットエッチングにより除去してコレクタ領域を開口し、n-GaAs層2表面を露出した後、AuGeNi/Auからなるコレクタ電極15をリフトオフにより形成する。続いて、全面にSiO<sub>2</sub>膜19を堆積した後、所定のパターンのホトレジスト膜(図示しない)をマスクとして反応性イオンエッチングによりエミッタ電極上部のSiO<sub>2</sub>膜19および17を除去し、WSi層13を露出する。開口されたエミッタ領域にTi/Pt/Auからなる所定のパターンのエミッタ取り出し電極を形成することにより素子主要部の工程を完了し、図1に示すような化合物半導体のバイポーラトランジスタができる。

【0026】以上により作製された本発明の第1の実施例のバイポーラトランジスタについて、その素子特性を評価したところ、電流利得は90以上であった。また、電流利得遮断周波数f<sub>T</sub>および最大発振周波数f<sub>max</sub>の最高値は、それぞれ102GHzおよび224GHzであり、従来素子に比較して静特性、高周波特性とも著しい向上が見られた。さらに、エミッタ・ベース接合のみならず、ベース・コレクタ接合がヘテロ接合となっているために、従来素子よりもベース押し出し効果が抑制され、より高電流密度で動作させることが可能となり、一層の特性向上を果たすことができた。

【0027】図6は本発明の第2の実施例を説明するために示した半導体チップの断面図である。この実施例においては、p-GaAs層(4×10<sup>20</sup>cm<sup>-3</sup>, 350nm)12aが外部ベース層として機能しており、真性ベース層であるp-In<sub>x</sub>Ga<sub>1-x</sub>As (x: 0.1→0) グレーデッド層5aと横方向から電気的に接続されている。それ以外に関しては上述の第1の実施例と同様の構造を有している。また、その製造方法については、大部分が第1の実施例に準じて行っている。ただし、外部ベース領域を開口した後、n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層7およびn-Al<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層6のみならずp-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層5についてもウエットエッチングにより除去し、n-In<sub>x</sub>Ga<sub>1-x</sub>Asグレーデッド層4上にp-GaAs外部ベース層12aを形成している点が異なっている。

【0028】以上により作製された本発明の第2の実施例のバイポーラトランジスタについて、その素子特性を評価したところ、第1の実施例と同様、従来素子に比較して静特性、高周波特性ともに著しい向上が見られた。

【0029】なお、上述の第1および第2の実施例においては、ベースコンタクト層もしくは外部ベース層がM

OMBE法を用いた選択成長により形成された場合について述べたが、本発明はこれに限定されず、ベースコンタクト層もしくは外部ベース層を形成するにあたり、MOCVD法をはじめとする他の選択成長法やMBE法等の選択性のない結晶成長法を用いて再成長が行われた場合についても適用可能であり、同様の効果が得られる。

【0030】また、上述の第1および第2の実施例においては、素子真性部を構成するベース層のp型不純物がBeである場合について述べたが、本発明はこれに限定されず、C、Zn等、他のp型不純物を用いた場合についても適用可能であり、同様の効果を有することはいうまでもない。

【0031】さらに、上述の第1および第2の実施例においては、再成長されるベースコンタクト層もしくは外部ベース層がGaAsからなる場合について述べたが、本発明はこれに限定されず、InGaAs等、他の半導体材料により構成される場合についてもその不純物濃度が充分高ければ同様の効果が得られる。

【0032】

【発明の効果】以上説明したように本発明によれば、再成長により高濃度に不純物ドーパされたベースコンタクト層もしくは外部ベース層が形成された化合物半導体のバイポーラトランジスタにおいて、ベース層とベースコンタクト層間もしくは真性ベース層と外部ベース層間にAl酸化物を含むことなく電気的接触の良好な再成長界面を保持し、同時に、ベース層を走行する少数キャリアに対して擬電界を有する傾斜ベース構造を形成することが可能である。これにより、ベース抵抗の低減とベース走行時間の短縮を同時に達成することができ、素子の高周波特性を著しく向上させることができる。

【図面の簡単な説明】

【図1】本発明にかかるバイポーラトランジスタの第1の実施例を説明するために使用する半導体チップの断面図である。

【図2】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図3】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図4】本発明にかかるバイポーラトランジスタの第1

の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

【図5】本発明にかかるバイポーラトランジスタの第1の実施例について、その製造方法を説明するために使用する或る工程での半導体チップの断面図である。

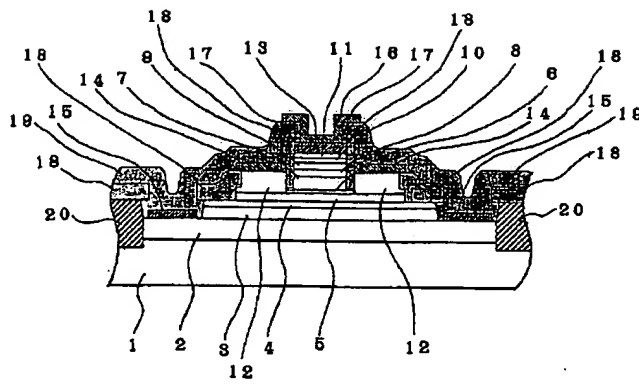
【図6】本発明にかかるバイポーラトランジスタの第2の実施例を説明するために使用する半導体チップの断面図である。

【図7】従来のバイポーラトランジスタを説明するために使用する半導体チップの断面図である。

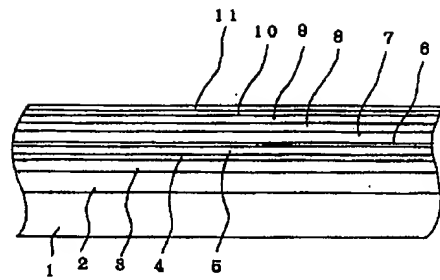
【符号の説明】

- 1 半絶縁性基板：GaAs
- 2 コレクタコンタクト層：n-GaAs
- 3 第1のコレクタ層：n-GaAs
- 3a コレクタ層：n-GaAs
- 4 第2のコレクタ層：n-In<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0→0.1)
- 5 ベース層：p-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0.1→0)
- 5a 真性ベース層：p-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0.1→0)
- 5b 真性ベース層：p-GaAs
- 6 エミッタグレーデッド層：n-Al<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0→0.25)
- 7 エミッタ層：n-Al<sub>0.25</sub>Ga<sub>0.75</sub>As
- 8 グレーデッド層：n-Al<sub>x</sub>Ga<sub>1-x</sub>As層 (x：0.25→0)
- 9 n-GaAs層
- 10 グレーデッド層：n-In<sub>x</sub>Ga<sub>1-x</sub>As (x：0→0.5)
- 11 エミッタキャップ層：n-In<sub>0.5</sub>Ga<sub>0.5</sub>As
- 12 ベースコンタクト層：p-GaAs
- 12a 外部ベース層：p-GaAs
- 13 エミッタ電極：WSi
- 14 ベース電極：Ti/Pt/Au
- 15 コレクタ電極：AuGeNi/Au
- 16 エミッタ取り出し電極：Ti/Pt/Au
- 17, 18, 19 SiO<sub>2</sub>膜
- 20 絶縁領域
- 21, 23, 24 ホトレジスト膜

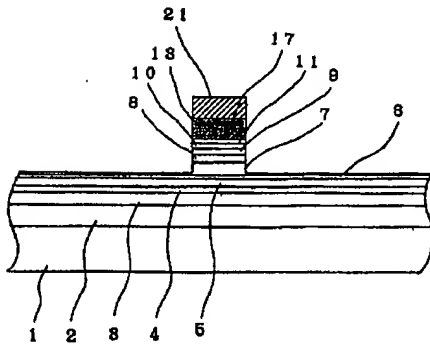
【図1】



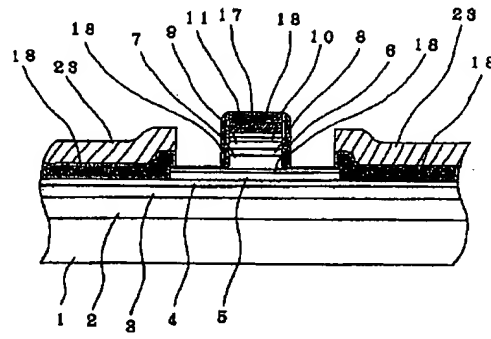
【図2】



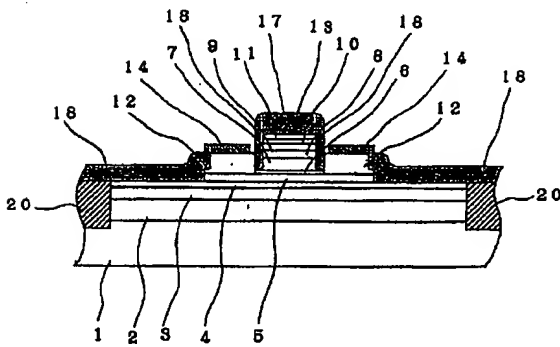
【図3】



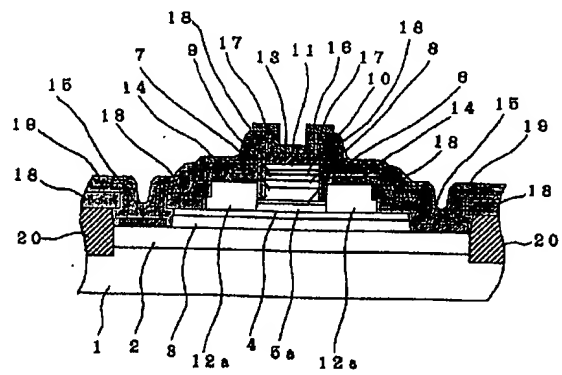
【図4】



【図5】

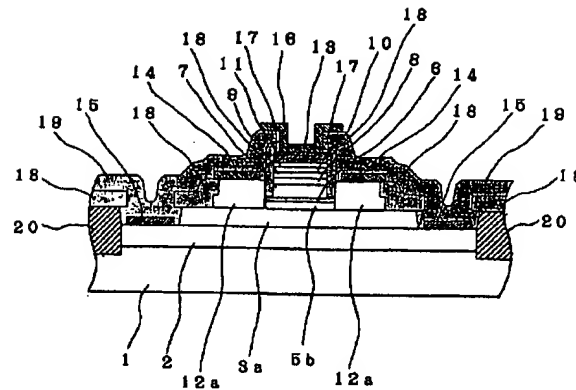


【図6】





【図7】



## 【手続補正書】

【提出日】平成5年11月30日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、ベース電極とベース層間の少なくとも一部に再成長により形成されたベースコンタクト層を有するとともに、ベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

【請求項2】エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とするバイポーラトランジスタ。

【請求項3】ベース・コレクタ接合部におけるコレクタ層の少なくとも一部が、ベース・コレクタ接合部から基板に向けて徐々にIn組成を減少させたInGaAsグレーデッド層からなることを特徴とする請求項1または2記載のバイポーラトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また本発明は、エミッタ層の少なくとも一部がAlGaAs、コレクタ層の少なくとも一部がGaAsからなるバイポーラトランジスタにおいて、外部ベース領域の少なくとも一部に再成長により形成された外部ベース層を有するとともに、真性領域におけるベース層の少なくとも一部が、エミッタ・ベース接合部からベース・コレクタ接合部に向けて徐々にIn組成を増したInGaAsグレーデッド層からなることを特徴とする。さらに本発明は、ベース・コレクタ接合部におけるコレクタ層の少なくとも一部が、ベース・コレクタ接合部から基板に向けて徐々にIn組成を減少させたInGaAsグレーデッド層からなるものでもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また、コレクタをGaAsとした場合には、ベース・コレクタ接合部においてInGaAsベース層との間にエネルギー障壁を生じることになる。このエネルギー障壁が存在するとキャリアの流れが阻害され、素子特性上好ましくない。しかしながら、ベース・コレクタ接合部においてコレクタ層側にベース層とは逆に基板方向に向けてIn組成を徐々に減少させたInGaAsグレーデッド層を設けることにより、このエネルギー障壁をなくすることができる。また、コレクタ層側にこのInGaAsグレーデッド層を設けた場合には、コレクタ層内における電界強度が緩和されるために、キャリアの速度オーバーシュート効果をより引き出し易くな

り、それによってキャリアのコレクタ走行時間の短縮を期待できる。さらに、ベース・コレクタ接合はヘテロ接合となるために、高電流密度動作状態におけるベース押し出し効果が抑制され、より高電流密度までキャリアの

ベース走行時間の増大を生じることなく動作させることが可能である。これにより、一層高周波特性を向上させることが可能である。